

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-306660

(43)Date of publication of application : 21.11.1995

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 06-097438

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 11.05.1994

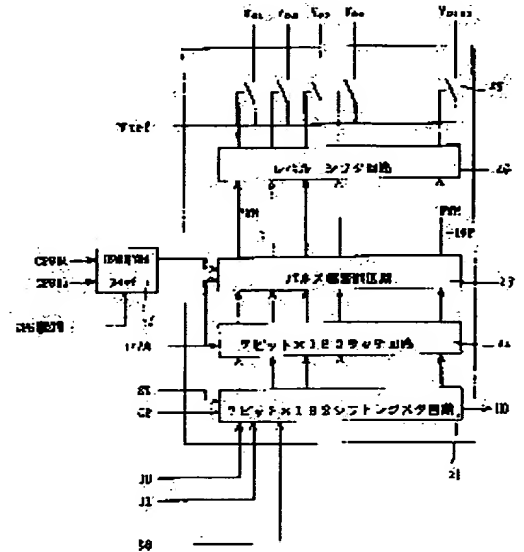
(72)Inventor : SUGANO HIROMASA
TOYAMA HIROSHI
HAMANO HIROSHI

(54) GRADATION DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY DEVICE AND GRADATION DRIVING METHOD THEREFOR

(57)Abstract:

PURPOSE: To provide a gradation driving circuit for a liquid crystal display device and a gradation driving method enabling multiple gradation display of $2n$ levels and allowing the number of external power input lines and analog switches to be reduced so as to be of low cost.

CONSTITUTION: A gradation driving circuit for a liquid crystal display device performing the $2n$ level gradation display (n is an integer of 2 or more) of each display picture element has a shift register circuit 21 for transferring n -bit gradation data in regular succession, a latching circuit 22 for storing the contents of the shift register circuit 21, and a detecting circuit for detecting the coincidence between the gradation data D0-D6 stored in the latching circuit 22 and the gradation control clock number CPG. The gradation driving circuit is further provided with a pulse width modulating circuit 23 for converting pulse width into the width corresponding to the output of the detecting circuit, an analog switch 25 into which the output of the pulse width modulating circuit 23 is inputted as an on-off control switching signal so as to be controlled by this switching signal, with gradation reference voltage inputted to one side and with capacitive load connected to the other side, and a gradation control clock changeover switch 26 having gradation control clocks CPG disposed in two systems and selecting between two system gradation control clocks CPG.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-306660

(43) 公開日 平成7年(1995)11月21日

(51) Int.Cl.⁹

識別記号

庁内整理番号

F I

技術表示箇所

G 0 9 G 3/36

G 0 2 F 1/133

5 7 5

審査請求 未請求 請求項の数 4 O L (全 14 頁)

(21) 出願番号 特願平6-97438

(22) 出願日 平成6年(1994)5月11日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 菅野 裕雅

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72) 発明者 遠山 広

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72) 発明者 濱野 広

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

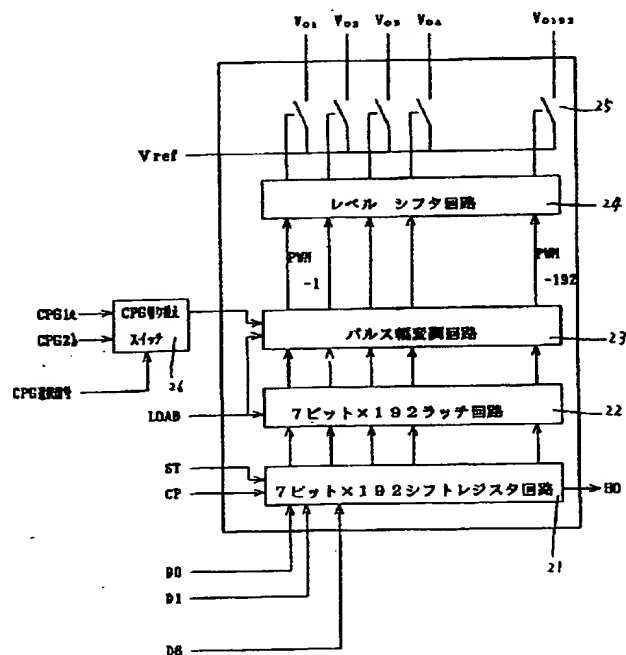
(74) 代理人 弁理士 清水 守 (外1名)

(54) 【発明の名称】 液晶表示装置の階調駆動回路及びその階調駆動方法

(57) 【要約】

【目的】 2^n レベルの多階調な表示を行うことができ、かつ外部電源入力ライン数及びアナログスイッチ数の削減が可能な、低コストの液晶表示装置の階調駆動回路及びその階調駆動方法を提供する。

【構成】 各表示画素を 2^n レベル (n は2以上の整数) の階調表示を行う液晶表示装置の階調駆動回路において、 n ビットの階調データを順次転送するシフトレジスタ回路21と、このシフトレジスタ回路21の内容を格納するラッチ回路22と、このラッチ回路22に格納された階調データ $D_0 \sim D_6$ と、階調制御クロック数 CPG との一致を検出する検出回路と、この検出回路の出力に応じた幅のパルスに変換するパルス幅変調回路23と、このパルス幅変調回路23の出力が、オン/オフを制御するスイッチング信号として入力され、このスイッチング信号で制御されるとともに、一方に階調基準電圧を入力し、他方に容量性負荷が接続されるアナログスイッチ25と、前記階調制御クロック CPG を2系統配置し、該2系統の階調制御クロック CPG を選択する階調制御クロック切り替えスイッチ26を具備する。



【特許請求の範囲】

【請求項 1】 各表示画素を 2^n レベル (n は 2 以上の整数) の階調表示を行う液晶表示装置の階調駆動回路において、(a) n ビットの階調データを順次転送するシフトレジスタ回路と、(b) 該シフトレジスタ回路の内容を格納するラッチ回路と、(c) 該ラッチ回路に格納された階調データと、階調制御クロック数との一致を検出する検出回路と、(d) 該検出回路の出力に応じた幅のパルスに変換するパルス幅変調回路と、(e) 該パルス幅変調回路の出力が、オン/オフを制御するスイッチング信号として入力され、該スイッチング信号で制御されるとともに、一方に階調基準電圧を入力し、他方に容量性負荷が接続されるアナログスイッチ回路と、(f) 前記階調制御クロックを 2 系統配置し、該 2 系統の階調制御クロックを選択する階調制御クロック切り替えスイッチを具備することを特徴とする液晶表示装置の階調駆動回路。

【請求項 2】 各表示画素を 2^n レベル (n は 2 以上の整数) の階調表示を行う液晶表示装置の階調駆動回路において、(a) n ビットの階調データを順次転送するシフトレジスタ回路と、(b) 該シフトレジスタ回路の内容を格納するラッチ回路と、(c) 該ラッチ回路に格納された階調データと、階調制御クロック数との一致を検出する検出回路と、(d) 該検出回路の出力に応じた幅のパルスに変換するパルス幅変調回路と、(e) 該パルス幅変調回路の出力が、オン/オフを制御するスイッチング信号として入力され、該スイッチング信号で制御されるとともに、一方に階調基準電圧を入力し、他方に容量性負荷が接続されるアナログスイッチ回路と、(f) 前記階調基準電圧を 2 系統配置し、該 2 系統の階調基準電圧を選択する階調基準電圧切り替えスイッチを具備することを特徴とする液晶表示装置の階調駆動回路。

【請求項 3】 各表示画素を 2^n レベル (n は 2 以上の整数) の階調表示を行う液晶表示装置の階調駆動方法において、(a) n ビットの階調データをシフトレジスタ回路により順次転送し、(b) 前記シフトレジスタ回路の内容をラッチ回路に格納し、(c) 該ラッチ回路に格納された階調データと、階調制御クロック数との一致を検出回路で検出し、(d) パルス幅変調回路により前記検出回路の出力に応じた幅のパルスに変換し、(e) 該パルス幅変調回路の出力が、オン/オフを制御するスイッチング信号として入力され、該スイッチング信号で制御されるアナログスイッチ回路を設け、該アナログスイッチ回路の一方に階調基準電圧を入力し、他方に容量性負荷を接続し、(f) 前記階調制御クロックが 2 系統接続される階調制御クロック切り替えスイッチを配置し、該切り替えスイッチへ階調制御クロック選択信号を入力して、1 走査ライン毎に交互に選択し、かつ 1 フレーム毎に各走査ラインが前フレームとは異なる階調制御クロックを選択することを特徴とする液晶表示装置の階調駆

動方法。

【請求項 4】 各表示画素を 2^n レベル (n は 2 以上の整数) の階調表示を行う液晶表示装置の階調駆動方法において、(a) n ビットの階調データをシフトレジスタ回路により順次転送し、(b) 前記シフトレジスタ回路の内容をラッチ回路に格納し、(c) 該ラッチ回路に格納された階調データと、階調制御クロック数との一致を検出回路で検出し、(d) パルス幅変調回路により前記検出回路の出力に応じた幅のパルスに変換し、(e) 該パルス幅変調回路の出力が、オン/オフを制御するスイッチング信号として入力され、該スイッチング信号で制御されるアナログスイッチ回路を設け、該アナログスイッチ回路の一方に階調基準電圧を入力し、他方に容量性負荷を接続し、(f) 前記階調基準電圧が 2 系統接続される階調基準電圧切り替えスイッチを配置し、該切り替えスイッチへ階調基準電圧選択信号を入力して、外部入力の階調基準電圧が 1 フレーム毎に 1 階調電圧以内で変調することを特徴とする液晶表示装置の階調駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置（液晶ディスプレイ）において、中間調表示を可能とする階調駆動回路とその階調駆動方法に関する。

【0002】

【従来の技術】 従来、フラットディスプレイの一種である液晶表示装置の回路としては、図 11 に示されたものがよく知られている。図 11 において、複数の X 電極線 (X_1, X_2, \dots) 1 と、Y 電極線 (Y_1, Y_2, \dots) 2 とを互いに交差させ、各 X 電極線と Y 電極線の交点に、TFT（薄膜トランジスタ）等のアクティブ素子 3 を設けるとともに、マトリクス状に液晶表示素子 4 が配置される。

【0003】 Y 電極線 2 はデータ信号線ともいわれ、各液晶表示素子 4 の表示データ信号を出力する表示信号回路 5 に接続される。また、X 電極線 1 は走査信号線とも言われ、順次走査信号を出力する走査信号回路 6 に接続される。アクティブ素子 3 の駆動は、X 電極線 1 の順次走査駆動を行う線順次駆動法が用いられ、X 電極線 1 の走査に同期して、X 電極線 1 上のアクティブ素子 3 をオン状態にし、この時、表示信号回路 5 から表示データ信号を出力し、前記オン状態のアクティブ素子 3 を介して、該当する液晶表示素子 4 にデータ信号の書き込みを行う。

【0004】 なお、液晶表示素子 4 には必要に応じて蓄積容量 7 を設け、液晶表示素子 4 の電荷保持特性を改善する試みもなされている。ここでは、前記液晶表示素子 4 に書き込むデータ信号電圧の振幅値を可変にすることで、液晶表示素子 4 への書き込み電圧もしくは電荷量を可変制御し、液晶の光透過率を可変制御することができる。この方法は、電圧変調駆動法といわれ、液晶表示装

置において中間調表示を行う代表的な駆動方法である。

【0005】この電圧変調駆動法により、階調表示を可能とする液晶駆動回路としては、例えば、図12に示されている〔液晶駆動用ドライバ、HD66310T（日立製作所製）〕が知られている。図12の液晶駆動回路は、8階調の表示を可能とするもので、液晶画素に対応した3ビットの表示データD0j、D1j、D2jが、クロック信号CL2に同期して第1のラッチ回路11に入力される。第1のラッチ回路11に入力された表示データ信号は、その後、クロック信号CL1に同期して第2のラッチ回路12に入力される。そして、第2のラッチ回路12の出力は電圧セクタ回路13に入力される。

【0006】この電圧セクタ回路13は、デコーダ回路などで構成されるものであり、例えば、3ビットの入力信号に基づいて、 $2^3 = 8$ 本の出力線の内いずれか1本の出力線上にデータ出力を行うものである。この回路構成では、前記電圧セクタ回路13の出力は、次段のP-MOS、N-MOS、FETなどを有するアナログスイッチ14i～14hのいずれか一つを選択してオン状態とし、アナログスイッチ14i～14hに接続される8本の電源入力ラインV0～V7のいずれか1つを、ドライバ出力Ynに出力するように動作するものである。なお、15はインバータであり、電圧セクタ回路13の出力を論理反転して、アナログスイッチ14i～14hのN-MOSに出力するようにしている。

【0007】また、前記したHD66310T（日立製作所製）の液晶駆動回路は、図11の駆動回路を160個（160ドット分）備えている。更に、液晶表示装置は1水平走査線の画素数に応じた数の液晶ドライバ回路を備えている。そして、前記第1のラッチ回路11から第2のラッチ回路12への転送は、1水平走査分の表示データが第1のラッチ回路11に入力された後に行われる。

【0008】

【発明が解決しようとする課題】しかしながら、上記した従来の液晶表示装置の駆動回路においては、

（1）多階調化をはかる場合、階調再現相当数の外部電源入力を必要とし、更に、駆動回路の集積化（IC化）を行うと、IC内部の電源入力ラインの配線系の占める面積が増大し、経済的でなくなる。

【0009】（2）P-MOS、N-MOS、FET等で構成されるアナログスイッチの数も階調再現相当数必要であり、集積化（IC化）を考えた場合には、経済的ではない。

などの問題点があった。本発明は、上記問題点を除去し、 2^n レベルの多階調な表示を行うことができ、かつ外部電源入力ライン数及びアナログスイッチ数の削減が可能な、低コストの液晶表示装置の階調駆動回路及びその階調駆動方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は、上記目的を達成するために、

（A）各表示画素を 2^n レベル（ n は2以上の整数）の階調表示を行う液晶表示装置の階調駆動回路において、

（1） n ビットの階調データを順次転送するシフトレジスタ回路と、このシフトレジスタ回路の内容を格納するラッチ回路と、このラッチ回路に格納された階調データと、階調制御クロック数との一致を検出する検出回路と、この検出回路の出力に応じた幅のパルスに変換するパルス幅変調回路と、このパルス幅変調回路の出力が、オン/オフを制御するスイッチング信号として入力され、このスイッチング信号で制御されるとともに、一方に階調基準電圧を入力し、他方に容量性負荷が接続されるアナログスイッチ回路と、前記階調制御クロックを2系統配置し、この2系統の階調制御クロックを選択する階調制御クロック切り替えスイッチを設けるようにしたものである。

【0011】（2） n ビットの階調データを順次転送するシフトレジスタ回路と、このシフトレジスタ回路の内容を格納するラッチ回路と、このラッチ回路に格納された階調データと、階調制御クロック数との一致を検出する検出回路と、この検出回路の出力に応じた幅のパルスに変換するパルス幅変調回路と、このパルス幅変調回路の出力が、オン/オフを制御するスイッチング信号として入力され、このスイッチング信号で制御されるとともに、一方に階調基準電圧を入力し、他方に容量性負荷が接続されるアナログスイッチ回路と、前記階調基準電圧を2系統配置し、この2系統の階調基準電圧を選択する階調基準電圧切り替えスイッチを設けるようにしたものである。

【0012】（B）各表示画素を 2^n レベル（ n は2以上の整数）の階調表示を行う液晶表示装置の階調駆動方法において、（1） n ビットの階調データをシフトレジスタ回路により順次転送し、前記シフトレジスタ回路の内容をラッチ回路に格納し、このラッチ回路に格納された階調データと、階調制御クロック数との一致を検出回路で検出し、パルス幅変調回路により前記検出回路の出力に応じた幅のパルスに変換し、このパルス幅変調回路の出力が、オン/オフを制御するスイッチング信号として入力され、このスイッチング信号で制御されるアナログスイッチ回路を設け、このアナログスイッチ回路の一方に階調基準電圧を入力し、他方に容量性負荷を接続し、前記階調制御クロックが2系統接続される階調制御クロック切り替えスイッチを配置し、この切り替えスイッチへ階調制御クロック選択信号を入力して、1走査ライン毎に交互に選択し、かつ1フレーム毎に各走査ラインが前フレームとは異なる階調制御クロックを選択するようにしたものである。

【0013】（2） n ビットの階調データをシフトレジスタ回路により順次転送し、前記シフトレジスタ回路の

内容をラッチ回路に格納し、このラッチ回路に格納された階調データと、階調制御クロック数との一致を検出回路で検出し、パルス幅変調回路により前記検出回路の出力に応じた幅のパルスに変換し、このパルス幅変調回路の出力が、オン／オフを制御するスイッチング信号として入力され、このスイッチング信号で制御されるアナログスイッチ回路を設け、このアナログスイッチ回路の一方に階調基準電圧を入力し、他方に容量性負荷を接続し、前記階調基準電圧が 2 系統接続される階調基準電圧切り替えスイッチを配置し、該切り替えスイッチへ階調基準電圧選択信号を入力して、外部入力の階調基準電圧が 1 フレーム毎に 1 階調電圧以内で変調するようにしたものである。

【0014】

【作用】本発明によれば、上記したように、2 系統の階調制御クロックを設け、同一の階調データで 2 種類の階調電圧を選択することにより、2 種類の階調電圧で表示される輝度の平均輝度が得られるため、階調データより多くの表示色が生成可能になる。階調制御クロックの選択条件としては、1 走査ライン毎に交互選択し、1 フレーム毎に前フレームとは異なる条件で駆動し、フリッカ等を抑制し、疑似階調により表示色を増加することができる。

【0015】また、2 系統の階調基準電圧を設け、同一の階調データで 2 種類の階調電圧を選択し、フレーム毎に 1 階調電圧以内で変調することにより、階調データより多くの表示色が生成可能になり、表示色を増加することができる。

【0016】

【実施例】以下、本発明の実施例を図面を参照しながら詳細に説明する。図 1 は本発明の第 1 実施例を示す液晶表示装置の階調駆動回路のブロック図、図 2 は本発明の第 1 実施例を示す液晶表示装置の階調駆動回路に入力する階調基準電圧波形とパルス幅制御クロックを示す図であり、図 2 (a) は走査時間に対する階調基準電圧を示す図、図 2 (b) は表示データを示す図、図 2 (c) は LOAD 信号を示す図、図 2 (d) はパルス幅変調信号 a (PWMa) を示す図、図 2 (e) はパルス幅制御クロック信号 a (CPGa) を示す図、図 2 (f) はパルス幅変調信号 b (PWMb) を示す図、図 2 (g) はパルス幅制御クロック信号 b (CPGb) を示す図、図 3 は本発明の第 1 実施例を示す液晶表示装置の階調駆動回路の階調データと階調基準電圧とを示す図、図 4 は本発明の第 1 実施例を示す液晶表示装置の階調駆動回路の動作タイミングチャートであり、図 4 (a) は垂直信号を示す図、図 4 (b) はフレーム選択信号を示す図、図 4 (c) は水平信号 (ST) を示す図、図 4 (d) は水平選択信号を示す図、図 4 (e) はシフトレジスタ回路のデータを示す図、図 4 (f) は LOAD 信号を示す図、図 4 (g) はラッチ回路のデータを示す図、図 4 (h)

は CPGa 信号を示す図、図 4 (i) は CPGb 信号を示す図、図 4 (j) は CPG 選択信号を示す図、図 4 (k) は PWM 信号を示す図、図 4 (l) はデータライン電圧を示す図である。

【0017】これらの図に示すように、例えば、21 はシフトレジスタ回路であり、このシフトレジスタ回路 21 は、7 ビットの階調データ D0~D6 と、水平同期信号であるスタート信号 ST と、データシフトクロック CP とが入力される、例えば 7 ビット×192 のシフトレジスタ回路である。22 はラッチ回路であり、このラッチ回路 22 は、シフトレジスタ回路 21 の出力が入力される、例えば、7 ビット×192 のラッチ回路で、LOAD 信号でシフトレジスタ回路 21 の D0~D6 出力がラッチ回路 22 に格納される。

【0018】ラッチ回路 22 の出力は、パルス幅変調回路 23 に入力される。このパルス幅変調回路 23 には、セット信号として前記 LOAD 信号が、リセット信号として CPG 切り替えスイッチ 26 から出力されるパルス幅制御クロック CPG とが入力される。つまり、パルス幅制御クロック CPG は、2 種類のクロック CPGa と CPGb を、CPG 切り替えスイッチ 26 により選択して、パルス幅変調回路 23 に入力する。

【0019】パルス幅変調回路 23 の出力信号は、レベルシフト回路 24 を介して、アナログスイッチ 25 のオン／オフ制御信号として供給される。アナログスイッチ 25 の一方には、階段状電圧に設定された階調基準電圧 Vref が供給され、もう一方より出力 Vom (m=1~192) を得る。図 1 及び図 4 を用いて、垂直同期信号の n フレーム目と n+1 フレーム目の動作の説明を行う。各フレームは奇数、偶数フレームに分離しフレーム選択信号を生成する。各フレーム内は奇数、偶数ラインに分離し、水平選択信号を生成する。ライン数は Y 電極数に相当する。

【0020】まず、シフトレジスタ回路 21 にスタート信号 ST として、n-1 ライン目の水平同期信号が入力されると、Hn-1 ライン目の階調データ D0~D6 は、データシフトクロック CP により、そのシフトレジスタ回路 21 内を順次転送されていく。192 画素分のデータ転送が終了すると、シフトエンドパルス H0 が、そのシフトレジスタ回路 21 より出力され、次段の階調駆動回路 (図示せず) ヘスタートパルスとして入力される。転送するデータ数に応じて、同様にして階調駆動回路がカスケード接続される。

【0021】以上のようにして、n-1 ライン目のデータ転送が完了すると、LOAD 信号により、n-1 ライン目のデータがラッチ回路 22 に格納される。次に、スタート信号 ST として、n ライン目の水平同期信号が、シフトレジスタ回路 21 に入力されると、n ライン目の階調駆動データ信号が、そのシフトレジスタ回路 21 内を順次転送され、以下同様の動作を繰り返す。

【0022】パルス幅変調回路23は、図5に示すように、階調データD0～D6はLOAD信号でラッチ回路22に格納されると、格納されたデータはそのラッチ回路22の出力Q0～Q6より一致回路23-2に入力される。同時に、LOAD信号は、パルス幅変調回路23を構成するフリップ・フロップ回路23-3をセットする。

【0023】クロック数カウンタ23-1は、パルス幅制御クロックCPGの数をカウントし、データ出力g0～g6を得る。ラッチ回路22の出力Q0～Q6のデータと、クロック数カウンタ23-1の出力g0～g6のデータと、Qmとgm(m=0～6)のデータが対になるように、EXNOR回路に入力して得られる信号と、パルス幅制御クロックCPGとをAND回路に入力して、一致回路23-2の出力を得る。一致回路23-2で得られた出力は、フリップフロップ回路23-3の出力をリセットする。

【0024】出力はLOAD信号でセットされ、階調データと階調制御クロックCPGの数の一致を示す出力信号によりリセットされる。以上のようにして、階調データに応じたパルス幅のパルス幅変調回路出力PWM-mを得る。その出力PWM-mは、図1に示すように、レベルシフト回路24を介して、レベル変換された後、アナログスイッチ25に供給され、そのアナログスイッチ25のオン/オフを制御する。アナログスイッチ25の一方には階調基準電圧Vrefが供給される。この階調基準電圧Vrefは、水平同期信号周期の例えば、ランプ状電圧波形を有する信号である。

【0025】すると、アナログスイッチ25の出力Vomは、前記パルス幅変調回路23の出力PWM-mが“H”の期間だけ階調基準電圧Vrefと同じ電圧となり、前記パルス幅変調回路23の出力PWM-mが“L”の期間は、ハイインピーダンス状態となる。以上のように、アナログスイッチ25はパルス幅変調回路23の出力PWM-mにより、オン/オフ制御し、パルス幅のオン時間に対応した出力電圧を生成する。

【0026】本発明の階調制御クロックCPGa、CPGbの動作を、図2と図4を用いて説明する。図2の階調基準電圧Vrefは256ステップの階段状電圧であり、1ステップの時間はTS時間で表す。階段状電圧の1走査時間内の時間配分は、V0電圧～V255電圧をパルス変調により選択するサンプリング期間と、高階調レベル(V255電圧)を保持するホールド期間と、低階調レベル(V0)で保持するリセット期間からなる。例えば、階調駆動回路の動作タイミングをnフレーム、Hn-1ライン目とし階調データ“7FH”がラッチ回路22にメモリされている。

【0027】パルス幅制御クロックCPGa、CPGbは、図4に示すフレーム選択信号と水平選択信号のEX・OR論理条件で決定し、nフレーム、Hn-1ライン

目はCPGbが選択される。また、各フレーム毎に奇数、偶数ラインのCPG条件が異なり、n+1フレーム、Hn-1ライン目ではCPGaが選択される。パルス幅制御クロックCPGa、CPGbのクロック周期T_{CPGn}は2×TSに設定し、クロック数は128とする。CPGaとCPGbの時間関係(TD)はCPGbが階調基準電圧の1ステップTs時間、CPGaに対して遅延(TD=TS)している。

【0028】また、パルス幅変調回路23の出力PWM-bは、LOAD信号でセットされ、階調データ“7FH”と階調制御クロックCPGbとの一致条件(7FHは、10進数で128クロック目と一致する)によりリセットされる。PWM-bが“H”の期間はアナログスイッチ25の出力は階調基準電圧Vrefを追従し、リセット時の電圧V255に到達後、ハイインピーダンス状態になる。

【0029】一方、n+1フレーム、Hn-1ライン目は階調制御クロックCPGaを選択する。階調データはnフレーム目と同様の“7FH”とすると、パルス幅変調回路23の出力PWM-aは、PWM-bに対して階調基準電圧Vrefの1ステップ時間(TS)分、早めにリセットされるため、アナログスイッチ25の出力は、リセット時の電圧V254に到達後、ハイインピーダンス状態になる。

【0030】図3に階調データと選択時の階調基準電圧を示す。CPGa、CPGbともに階調データの増加に従い、2ステップ毎に階調基準電圧を選択する。CPGa、CPGbの選択は走査ライン毎、フレーム毎に交互に行われるため、奇数フレーム、偶数フレームともに同一の階調データ、例えば“7F”の場合、フレーム毎にV254電圧と、V255電圧が交互に液晶に印加される。また、連続的に液晶に印加すれば、V254電圧とV255電圧で得られる輝度の中間的な輝度(V254+V255)/2が得られる。

【0031】このように、階調制御クロックCPGa、CPGbが2系統接続されるCPG切り替えスイッチ26を配置し、このCPG切り替えスイッチ26へ階調制御クロック選択信号を入力して、1走査ライン毎に交互に選択し、かつ1フレーム毎に各走査ラインが前フレームとは異なる階調制御クロックを選択することができる。

【0032】次に、本発明の第2の実施例について説明する。図6は本発明の第2実施例を示す液晶表示装置の階調駆動回路のブロック図、図7は本発明の第2実施例を示す液晶表示装置の階調駆動回路に入力する階調基準電圧波形図、図8は本発明の第2実施例を示す液晶表示装置の階調駆動回路の階調データと階調基準電圧とを示す図、図9は本発明の第2実施例を示す液晶表示装置の階調駆動回路の動作タイミングチャートであり、図9

(a)は垂直信号を示す図、図9(b)はフレーム選択

信号を示す図、図 9 (c) は水平信号 (ST) を示す図、図 9 (d) はシフトレジスタ回路のデータを示す図、図 9 (e) は LOAD 信号を示す図、図 9 (f) はラッチ回路のデータを示す図、図 9 (g) は CPG 信号を示す図、図 9 (h) は PMW 信号を示す図、図 9 (i) はデータバス電圧を示す図である。

【0033】これらの図に示すように、31 はシフトレジスタ回路であり、このシフトレジスタ回路 31 は、7 ビットの階調データ D0~D6 と、水平同期信号であるスタート信号 ST と、データシフトクロック CP とが入力される、例えば、7 ビット×192 のシフトレジスタである。32 はラッチ回路であり、このラッチ回路 32 はシフトレジスタ回路 31 の出力が入力される、例えば、7 ビット×192 のラッチ回路であり、LOAD 信号でシフトレジスタ回路 31 の出力 D0~D6 がラッチ回路 32 に格納される。

【0034】ラッチ回路 32 の出力は、パルス幅変調回路 33 に入力される。パルス幅変調回路 33 には、セット信号として前記 LOAD 信号と、リセット信号を生成するパルス幅制御クロック CPG とが入力される。パルス幅変調回路 33 の出力信号は、レベルシフト回路 34 を介して、アナログスイッチ 35 のオン/オフ制御信号として供給される。アナログスイッチ 35 の一方には、2 種類の階段状電圧 Vref1 と Vref2 を、階調基準電圧切り替えスイッチ 36 により選択して入力し、もう一方より出力 Vom (m=1~192) を得る。

【0035】図 9 を用いて垂直同期信号の n フレーム目と n+1 フレーム目の動作の説明を行う。各フレームは奇数、偶数フレームに分離しフレーム選択信号を生成する。まず、シフトレジスタ回路 31 にスタート信号 ST とし、n-1 ライン目の水平同期信号 (TS) が入力されると、Hn-1 ライン目の階調データ D0~D6 は、データシフトクロック CP により、このシフトレジスタ回路 31 内を順次転送されていく。192 画素分のデータ転送が終了すると、シフトエンドパルス H0 がこのシフトレジスタ回路 31 より出力され、次段の階調駆動回路 (図示せず) ヘスタートパルスとして入力される。転送するデータ数に応じて、同様にして階調駆動回路がカスケード接続される。

【0036】以上のようにして、n-1 ライン目のデータ転送が完了すると、LOAD 信号により n-1 ライン目のデータがラッチ回路 32 に格納される。次に、スタート信号 ST として、n ライン目の水平同期信号 (ST) がシフトレジスタ回路 31 に入力されると、n ライン目の階調駆動データ信号が、そのシフトレジスタ回路 31 内を順次転送され、以下同様の動作を繰り返す。

【0037】パルス幅変調回路 33 は、前記した図 5 に示した回路と同様であり、ここでは説明は省略する。このようにして、このパルス幅変調回路 33 は、階調データに応じたパルス幅のパルス幅変調回路出力 PWM-n

を得る。その出力 PWM-n は、図 6 に示すように、レベルシフト回路 34 を介してレベル変換された後、アナログスイッチ 35 に供給され、そのアナログスイッチ 35 のオン/オフを制御する。アナログスイッチ 35 の一方には階調基準電圧 Vref が供給される。前記階調基準電圧 Vref は、水平同期信号周期の例えばランプ状電圧波形を有する信号である。

【0038】すると、アナログスイッチ 35 の出力 Vom は、前記出力 PWM-n が “H” の期間だけ階調基準電圧 Vref と同じ電圧となり、出力 PWM-n が “L” の期間は、ハイインピーダンス状態となる。以上のように、アナログスイッチ 35 はパルス幅変調回路 33 の出力 PWM-n によりオン/オフ制御し、パルス幅のオン時間に対応した出力電圧を生成する。

【0039】本発明の第 2 実施例の液晶表示装置の階調の動作を図 7、図 8 及び図 9 を用いて説明する。図 7 に示すように、階調基準電圧 Vref は D/A 変換器を用い 128 ステップの階段状電圧で構成されている。各電圧の 1 階調に相当する振幅は、Va1、1 ステップ時間を Ts で表す。階調基準電圧は走査フレーム毎に各階調データに応じて、階段状の電圧レベルを 1 階調電圧以内で可変している。図 7 において、例えば奇数フレームの電圧レベルとして、V0、V2~V252、V254 を設定し、偶数フレームの電圧レベルとして、V1、V3~V253、V255 が設定されている。

【0040】階調データと階調基準電圧の関係を図 8 に表す。階調データが 16 進数で 00H の場合、奇数フレームにおいては階段状電圧 V0 を選択し、偶数フレームにおいては階段状電圧 V1 を選択する。以下同様に各階調データにおいて、奇数フレームと偶数フレームで階段状電圧レベルに差電圧 Voffset を設けてある。階調基準電圧は、図 7 に示すように、フレーム選択信号を階調基準電圧切り替えスイッチ 36 に入力し、1 フレーム毎に奇数階調基準電圧 (Vref1)、偶数階調基準電圧 (Vref2) を選択する。

【0041】図 9 において、例えば n フレーム、Hn-1 ライン目の階調データ “00H” により、パルス幅変調回路 33 の出力 PWM は階調制御クロックの 1 クロック目でリセットし、アナログスイッチ 35 をオン/オフ制御する。アナログスイッチ 35 の入力電圧は、奇数フレームの階調基準電圧 Vref1 が選択され、PWM が “H” の期間はアナログスイッチ 35 の出力は階調基準電圧 Vref1 を追従し、リセット時の電圧 V0 に到達している。

【0042】また、n+1 フレーム、Hn-1 目のアナログスイッチ 35 の入力電圧は、偶数フレームの階調基準電圧 Vref2 が選択され、その出力はリセット時の電圧 V1 に到達している。奇数フレーム、偶数フレームとも同一の階調データであるが、フレーム毎に、V0 電圧と V1 電圧を交互に液晶に印加する。また、連続的に液

晶に印加すれば、 V_0 電圧と V_1 電圧で得られる輝度の中間的な輝度 $(V_0 + V_1) / 2$ が得られる。

【0043】このように、階調基準電圧 V_{ref} が 2 系統接続される階調基準電圧切り替えスイッチ 36 を配置し、この切り替えスイッチへ階調基準電圧選択信号を入力して、外部入力 of 階調基準電圧が 1 フレーム毎に 1 階調電圧以内で変調するようにする。ところで、アクティブマトリックス型液晶表示装置は、図 10 に示す回路構成である。すなわち、51 は本発明のデータ信号回路であり、前記した階調駆動回路で構成されている。52 は走査信号回路、41 はデータ信号回路 51 の出力に接続されるデータバスライン、42 は走査信号回路 52 の出力に接続される走査バスライン、43 はデータバスライン 41 と走査バスライン 42 との交差部に設けられる、例えば、 $a-Si$ 薄膜トランジスタ（以下、TFT と称す）、44 はその一方が TFT 43 と接続される液晶セルで、その液晶セル 44 の他方は対向電極 46 と接続され、電氣的に、例えば 0.1PF 程度のコンデンサとなっている。

【0044】45 は液晶セル 44（コンデンサ）と並列に設けられた蓄積容量で、例えば、0.5PF のコンデンサである。また、前記データバスライン 41 及び走査バスライン 42 は、液晶を介して対向電極 46 と対向配置しており、データバスライン 41 と対向電極 46 間に寄生容量 47 が形成され、データバスライン 41 と走査バスライン 42 の交差部に寄生容量 48 が形成される。

【0045】このデータバスライン 41 の容量 C は、寄生容量 47、48 等で決定され、階調駆動回路の負荷容量となり、階調基準電圧 V_{ref} がアナログスイッチ 35（図 6 参照）を介して、前記データバスライン 41 の負荷容量を充電する。そのデータバスライン 41 の電位はデータバスライン 41 の容量 C とアナログスイッチ 35 のオン抵抗 R からなる時定数 $(\tau = CR)$ で決定し、アナログスイッチ 35 の出力が確定している時間は階調基準電圧 V_{ref} を追従する。アナログスイッチ 35 の出力がハイインピーダンス状態となると、充電された負荷容量で決まる電位となる。すなわち、ハイインピーダンス状態となる直前の電位に保持されることになる。

【0046】データバスライン 41 の負荷容量に充電された電荷は、TFT 43 を介して最終的に液晶セル 44、蓄積容量 45 に印加され、負荷容量と同電位になる。また、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0047】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

(1) 2 系統の階調制御クロックを設け、同一の階調データで 2 種類の階調電圧を選択することにより、2 種類の階調電圧で表示される輝度の平均輝度が得られるた

め、階調データより多くの表示色が生成可能になる。階調制御クロックの選択条件としては、1 走査ライン毎に交互選択し、1 フレーム毎に前フレームとは異なる条件で駆動し、フリッカ等を抑制し、疑似階調により表示色を増加することができる。

【0048】(2) 2 系統の階調基準電圧を設け、同一の階調データで 2 種類の階調電圧を選択し、フレーム毎に 1 階調電圧以内で変調することにより、階調データより多くの表示色が生成可能になり、表示色を増加することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例を示す液晶表示装置の階調駆動回路のブロック図である。

【図 2】本発明の第 1 実施例を示す液晶表示装置の階調駆動回路に入力する階調基準電圧波形とパルス幅制御クロックを示す図である。

【図 3】本発明の第 1 実施例を示す液晶表示装置の階調駆動回路の階調データと階調基準電圧とを示す図である。

【図 4】本発明の第 1 実施例を示す液晶表示装置の階調駆動回路の動作タイミングチャートである。

【図 5】本発明の第 1 実施例を示す液晶表示装置の階調駆動回路のパルス幅変調回路の構成図である。

【図 6】本発明の第 2 実施例を示す液晶表示装置の階調駆動回路のブロック図である。

【図 7】本発明の第 2 実施例を示す液晶表示装置の階調駆動回路に入力する階調基準電圧波形図である。

【図 8】本発明の第 2 実施例を示す液晶表示装置の階調駆動回路の階調データと階調基準電圧とを示す図である。

【図 9】本発明の第 2 実施例を示す液晶表示装置の階調駆動回路の動作タイミングチャートである。

【図 10】本発明の実施例を示す液晶表示パネルの回路図である。

【図 11】従来の液晶表示パネルの回路図である。

【図 12】従来の液晶表示装置の階調駆動回路図である。

【符号の説明】

21, 31	シフトレジスタ回路
22, 32	ラッチ回路
23, 33	パルス幅変調回路
23-1	クロック数カウンタ
23-2	一致回路
23-3	フリップフロップ回路
24, 34	レベルシフト回路
25, 35	アナログスイッチ
26	CPG 切り替えスイッチ
36	階調基準電圧切り替えスイッチ
41	データバスライン
42	走査バスライン

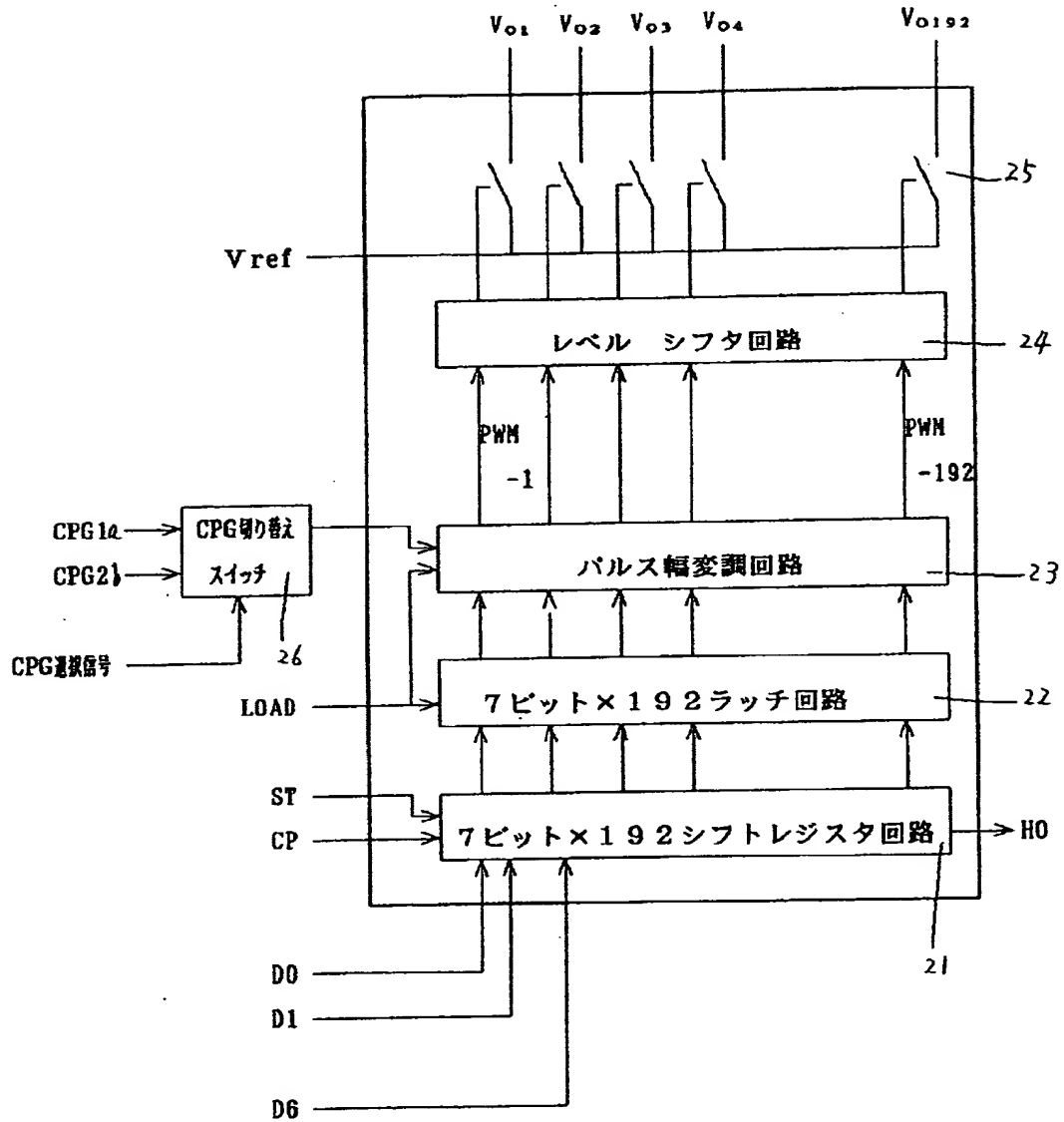
13

14

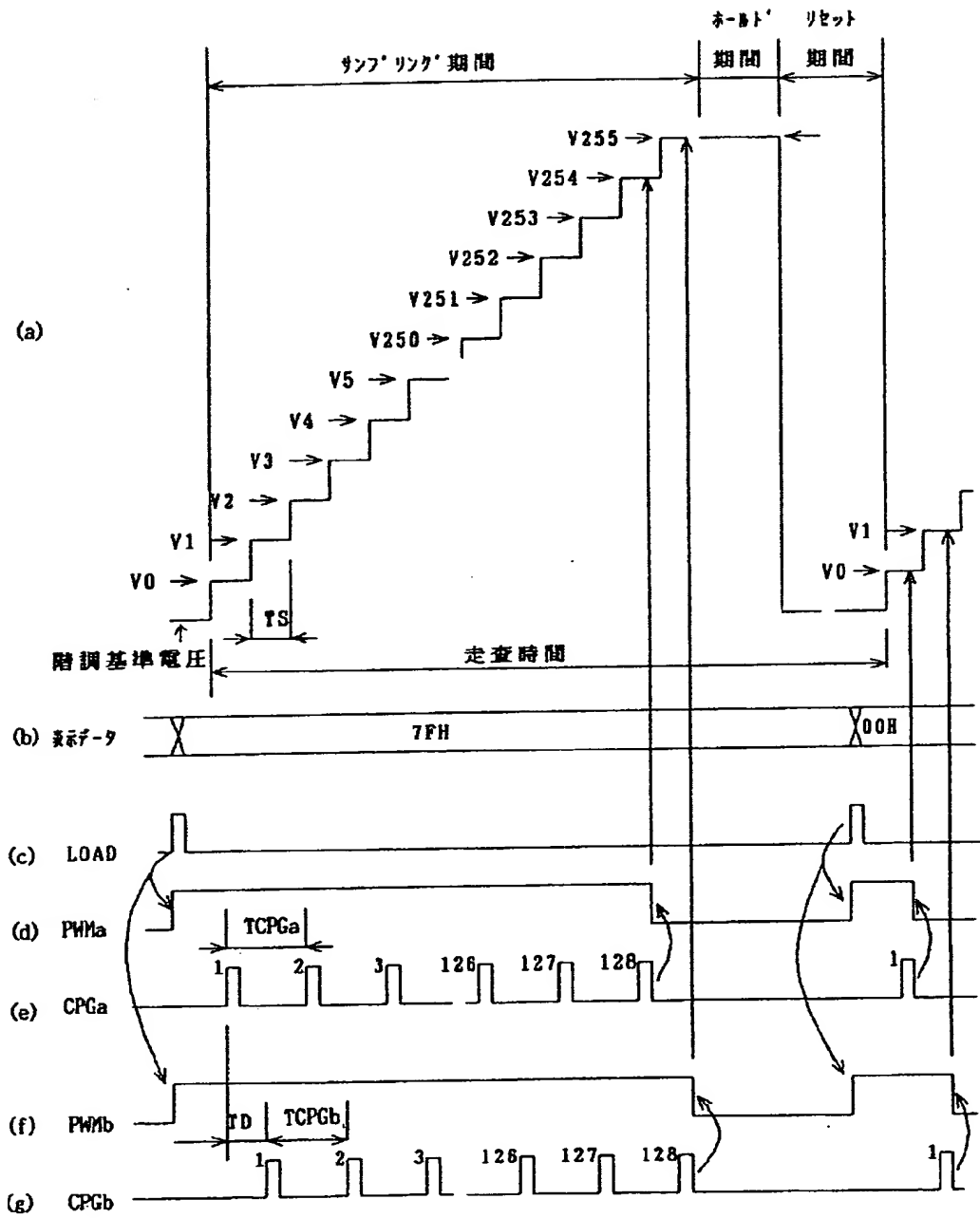
- 43 a-Si 薄膜トランジスタ (TFT)
 44 液晶セル
 45 蓄積容量
 46 対向電極

- 47, 48 寄生容量
 51 データ信号回路
 52 走査信号回路

【図1】



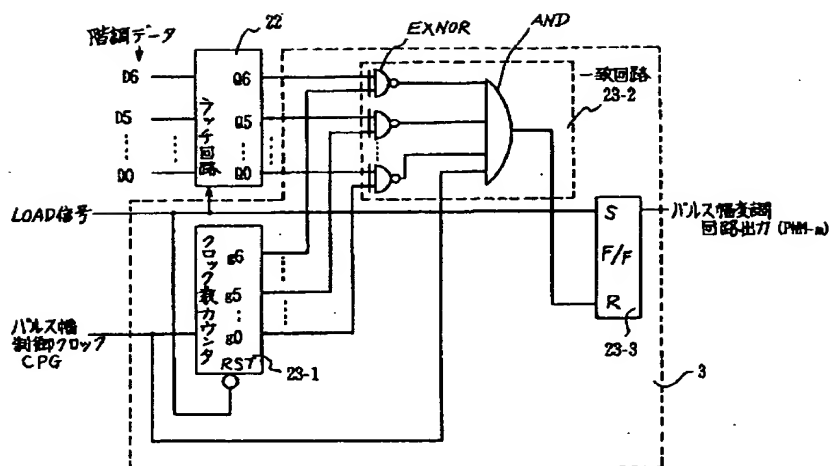
【図 2】



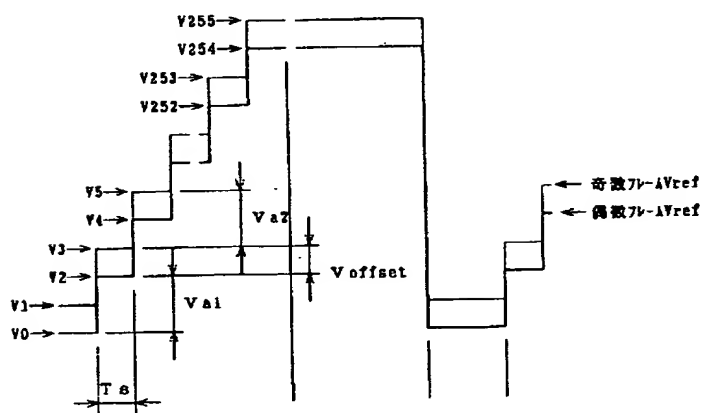
【図 3】

階調データ (16進数)	CPG信号の選択	
	CPGa	CPGb
00	V0	V1
01	V2	V3
02	V4	V5
...
7EH	V252	V253
7EH	V254	V255

【図 5】



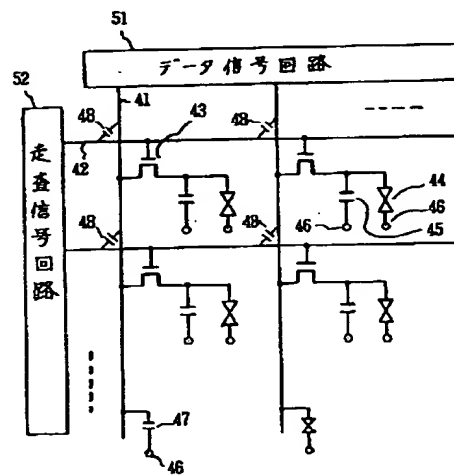
【図 7】



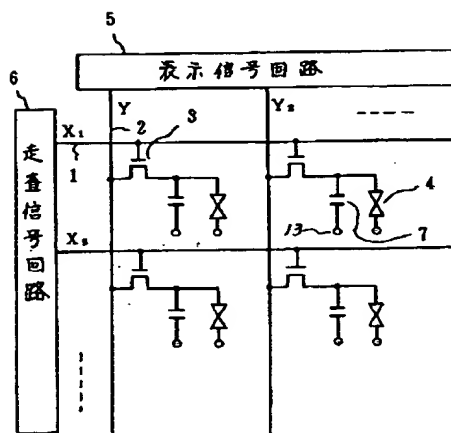
【図 8】

階調データ (16進数)	奇数 7レ-A	偶数 7レ-A
00	V0	V1
01	V2	V3
02	V4	V5
...
7EH	V252	V253
7EH	V254	V255

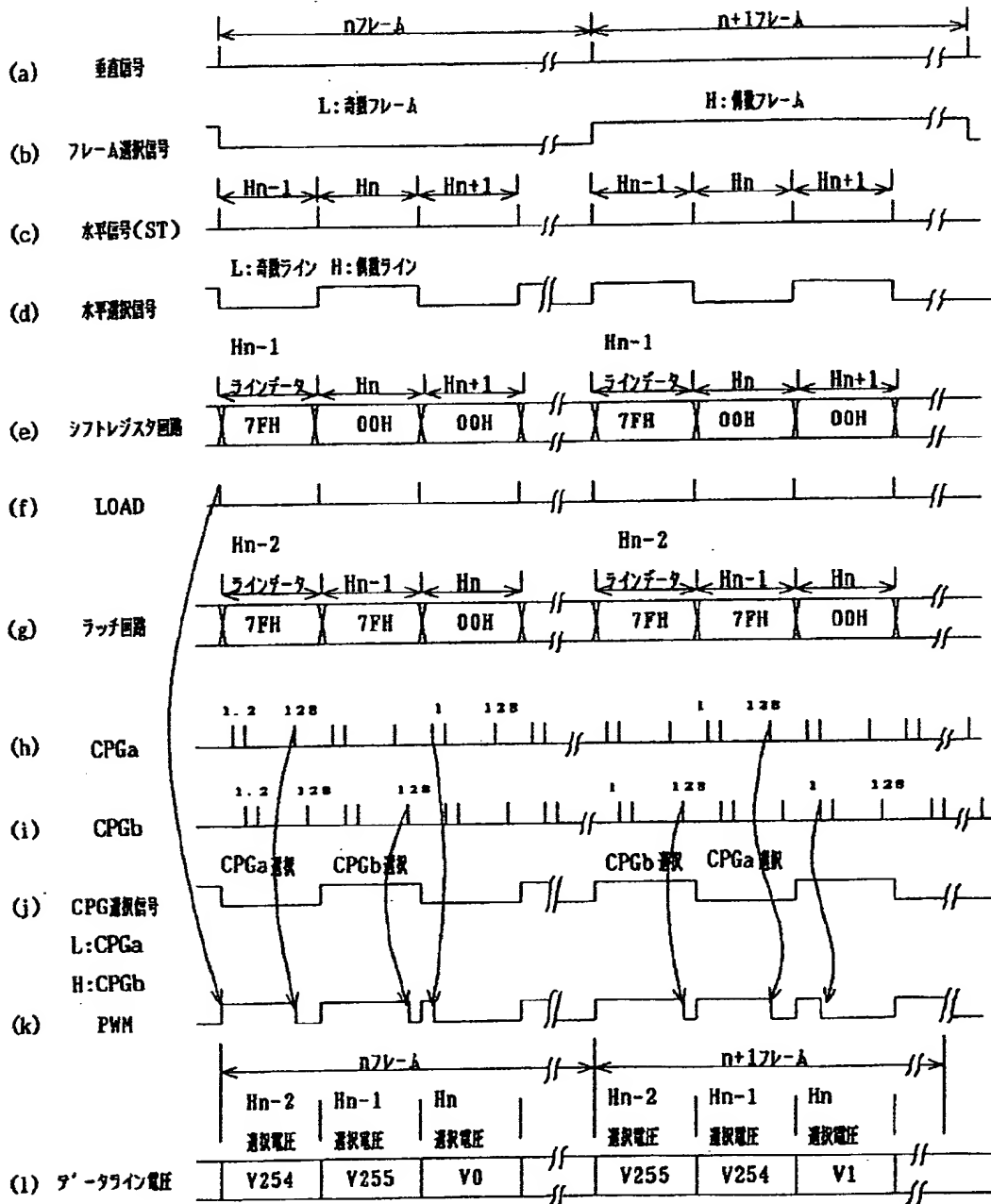
【図 10】



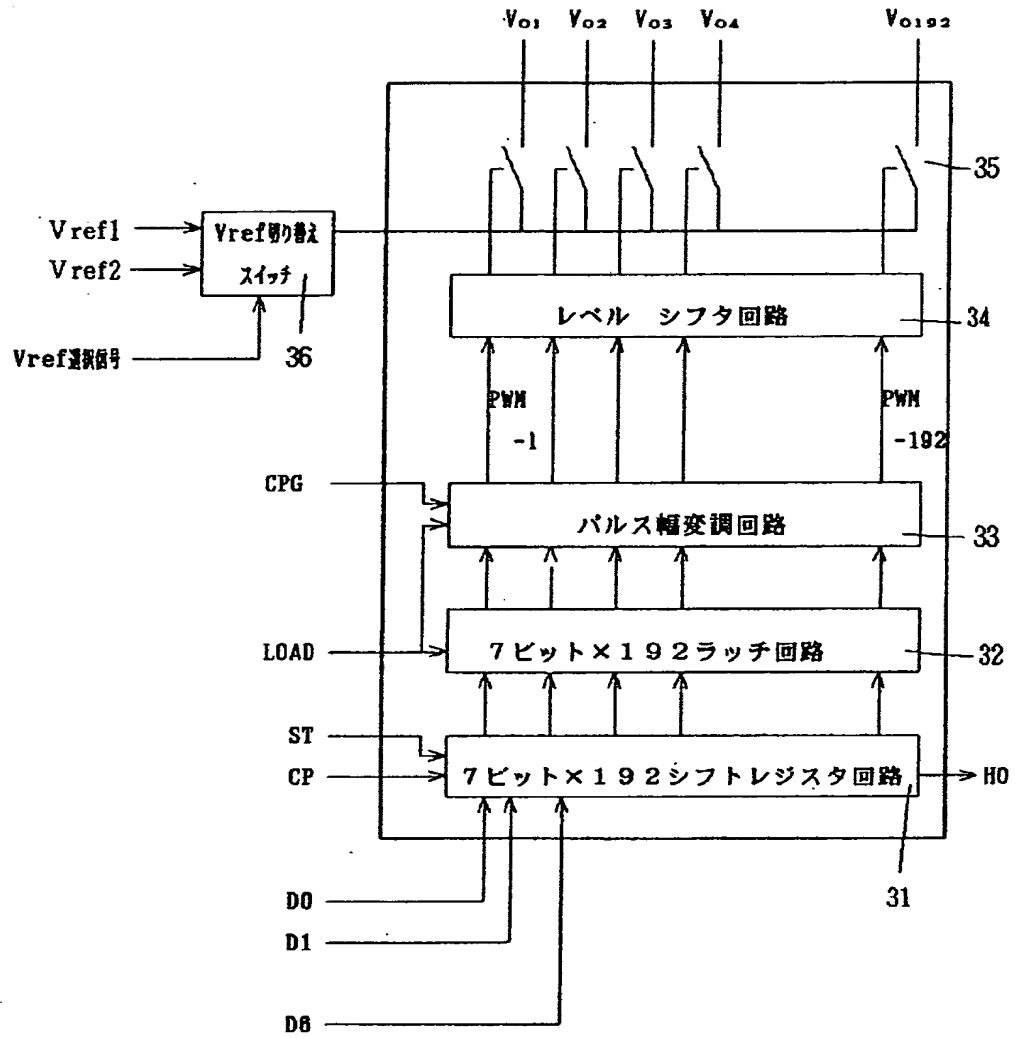
【図 11】



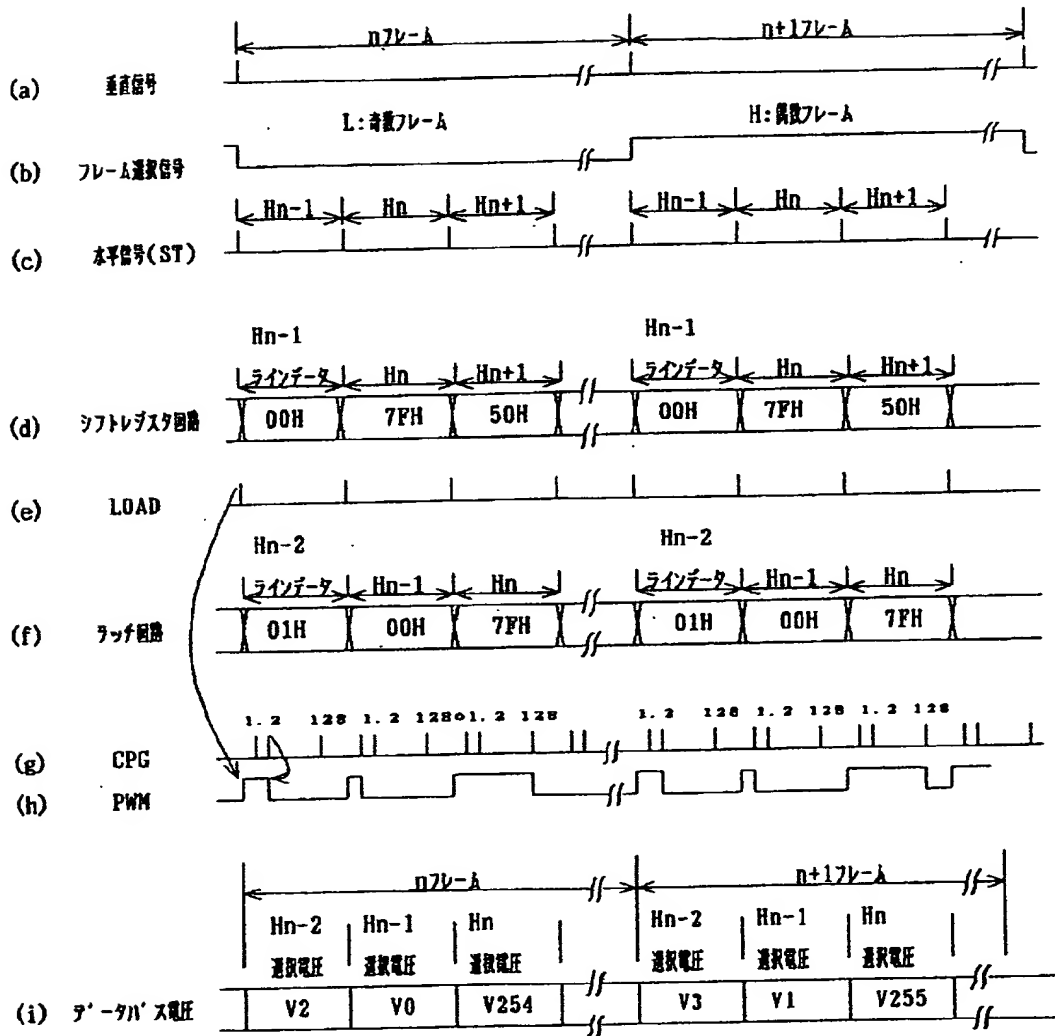
【図 4】



【図 6】



【図 9】



【図 12】

